

CONCISE EXPLANATION OF DE 198 40 508

DE 198 40 508 discloses a method in which trenches on the front side of the wafer are produced. The thickness of these trenches is smaller than the wafer thickness. Then, such a trenched wafer is attached to a support foil and then a back side thinning process by means of grinding of the wafer is performed to singulate the wafer to obtain single chips. Therefore, this reference is not pertinent to the present invention.

THIS PAGE BLANK (USPTO)



21 Aktenzeichen: 198 40 508.1
22 Anmeldetag: 4. 9. 98
43 Offenlegungstag: 2. 12. 99

Mit Einverständnis des Anmelders offengelegte Anmeldung gemäß § 31 Abs. 2 Ziffer 1 PatG

71 Anmelder:
Siemens AG, 80333 München, DE

72 Erfinder:
Lang, Günter, 90459 Nürnberg, DE; Kröninger,
Werner, 93073 Neutraubling, DE

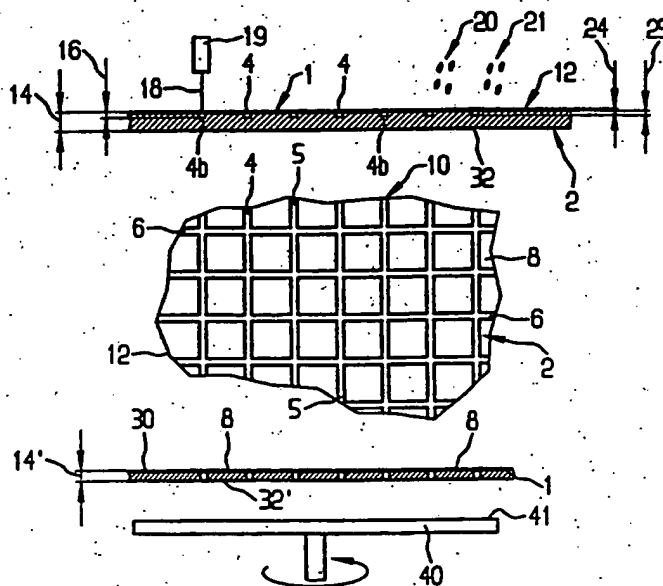
56 Entgegenhaltungen:
DE 44 14 373 A1
DE 43 08 705 A1
US 50 71 792
EP 06 27 764 A2
JP 01-1 86 646 A

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

Prüfungsantrag gem. § 44 PatG ist gestellt

54 Verfahren zum Vereinzeln von Halbleiter-Bauelementen.

57 Auf der Waferfrontseite (1) werden entlang der gewünschten Trennlinien (5, 6) zwischen den zukünftigen individuellen Halbleiter-Bauelementen (8) Gräben (4) erzeugt, deren Tiefe (14) geringer als die Dicke (16) des Wafers (2) ist. Anschließend wird die Dicke des Wafers von der Rückseite (32) her soweit vermindert, daß die dabei entstehende Waferrückseite (32') die Gräbenböden (4b) erreicht.



Die Erfindung betrifft die Fertigung von Halbleiter-Bauelementen (nachfolgend auch als Halbleiterchips bezeichnet), die zunächst auf einem gemeinsamen Halbleiter-Ausgangsmaterial ausgebildet werden. Das Ausgangsmaterial liegt in Form einer Halbleiterscheibe vor, die auch als Wafer bezeichnet wird. Die Vorderseite oder Frontseite des Wafers wird gemäß den funktionalen Anforderungen und den Kontaktierungsbedingungen bereichsweise strukturiert. Anschließend werden die so strukturierten Bereiche unter Bildung individueller Halbleiter-Bauelemente voneinander getrennt. Dieser Trennvorgang wird auch als Vereinzeln bezeichnet.

Um eine saubere Trennung zu gewährleisten, die insbesondere die hochempfindlichen strukturierten Bereiche der Halbleiterchips unbeeinträchtigt läßt und die zu erzeugenden Kanten möglichst hochwertig ausbildet, muß das Vereinzeln hochpräzise und materialschonend durchgeführt werden. Dabei werden die zunächst auf der gemeinsamen Halbleiterscheibe ausgebildeten aktiven Bereiche der späteren Halbleiterchips durch sogenannte "Ritzrahmen" voneinander getrennt. Der Ausdruck "Ritzrahmen" ist historisch bedingt und bezieht sich auf Trennverfahren, bei denen mittels einer Diamantspitze V-förmige Spuren entlang des Ritzrahmens erzeugt wurden, an denen anschließend durch Brechen die Halbleiter-Bauelemente vereinzelt worden. Die dafür vorzuziehende Spurbreite (Ritzrahmenbreite) liegt in der Größenordnung von 100 µm und ist somit ein wesentlicher Faktor im Hinblick auf die Ausbeute einer Halbleiterscheibe, insbesondere bei dem derzeitigen Trend zu immer kleiner werdenden Halbleiterchips.

Aus der DE 44 14 373 A1 geht ein heute weit verbreitetes Verfahren zum Vereinzeln vom Halbleiter-Bauelementen hervor, das auf dem Sägen bzw. Trennschleifen basiert. Mit diesem Verfahren können relativ saubere Halbleiterchipkanten unabhängig von etwaigen Kristallorientierungen des Halbleitermaterials erzeugt werden. Dabei wird der Wafer auf einem X-Y-Tisch befestigt und relativ zu einer mit hoher Drehzahl rotierenden Diamantschleifscheibe bewegt. Dabei ist es üblich, den Wafer auf eine selbstklebende Trägerfolie aufzubringen und mit geringer Tiefe (ca. 10 µm) in die Folie hineinzusägen, um das Wafermaterial entlang dem jeweiligen Ritzrahmen zu trennen und damit eine vollständige Vereinzelung der Halbleiter-Bauelemente zu realisieren. Um jedoch eine hohe Qualität der bei dem Trennprozeß gebildeten Halbleiterchipkanten zu gewährleisten, müssen äußerst hochwertige Schneidwerkzeuge verwendet werden. Dies ist kostenaufwendig und beeinträchtigt wegen der begrenzten Standzeiten der Werkzeuge den Fertigungsprozeß bzw. den Fertigungsdurchsatz. Auch das erneute Einrichten nach einem Werkzeugaustausch ist im Hinblick auf die einzuhaltenden geringen Toleranzen vergleichsweise aufwendig.

Da schon geringste mechanische oder geometrische Defekte an den Rändern (Kanten und insbesondere Ecken) der Halbleiterchips die Bruchgefahr erheblich erhöhen, besteht insbesondere im Hinblick auf das Bestreben nach weiter verengten Ritzrahmen Bedarf nach einem Verfahren zum Vereinzeln von Halbleiter-Bauelementen, das annähernd fehlerfreie Kanten der vereinzelten Halbleiter-Bauelemente erzeugt.

Dazu ist erfindungsgemäß ein Verfahren zum Vereinzeln von Halbleiter-Bauelementen aus ihrem ursprünglichen Wafer-Verband vorgesehen, bei dem:

- a) auf der Waferfrontseite entlang gewünschter Trennlinien zwischen den zukünftigen individuellen Halbleiter-Bauelementen Gräben erzeugt werden, deren Tiefe

geringer als die Dicke des Wafers ist, und
b) in einem späteren Verfahrensschritt die Dicke des Wafers von seiner Rückseite her zumindest soweit vermindert wird, daß dabei entstehende Waferrückseite die Gräbenböden erreicht.

Bei dem erfindungsgemäßen Verfahren können die Gräben mit an sich bekannten und beherrschten Verfahren erzeugt werden. Die Gräben können bevorzugt durch Ätzen, insbesondere Naßätzen, Trockenätzen oder Plasmaätzen, oder Laserschneiden erzeugt werden. Vorteilhafterweise erfolgt durch das Einbringen der Gräben in die Waferfrontseite keine vollständige, sondern nur eine teilweise Materialtrennung in Richtung der Waferdicke. Dabei wird die Mindesttiefe der Gräben durch die gewünschte Dicke des fertigen Halbleiter-Bauelementes bestimmt.

Ein wesentlicher Aspekt der Erfindung ist die Erkenntnis, daß mechanische Probleme, insbesondere die Gefahr eines Chipbruchs, dadurch erheblich vermindert oder gar ausgeschlossen werden können, daß zur Vereinzelung von der Waferfrontseite her nur ein Teilabtrag des Wafermaterials erforderlich ist. Damit kann die Schnitttiefe und somit die mechanische Belastung des Wafermaterials beim Vereinzelungsprozeß erheblich vermindert werden.

Ein wesentlicher Vorteil des erfindungsgemäßen Verfahrens besteht darin, daß der zur vollständigen Vereinzelung der Halbleiter-Bauelemente notwendige weitere Materialabtrag in Richtung der Waferdicke von der Rückseite des Wafers her in dem Verfahrensschritt des üblicherweise ohnehin notwendigen Verminderns der Waferdicke (sog. Waferdünnen) integriert werden kann.

Das erfindungsgemäße Verfahren zeichnet sich auch dadurch aus, daß keine wesentlichen zusätzlichen Verfahrensschritte erforderlich sind, um die Qualität der Halbleiterchipkanten signifikant zu erhöhen. Außerdem gestattet das erfindungsgemäße Verfahren in vorteilhafter Weise eine weitere Verengung des Ritzrahmens bzw. der Grabenbreite, weil die Gräben nur mit einer erheblich geringeren Tiefe als bisher ausgebildet werden müssen.

Bei der bevorzugten Verwendung von Ätzverfahren oder beim Laserschneiden ist kein Materialabtrag durch rotierende Schneiden (z. B. Sägeblätter) involviert; dies bedeutet eine besonders schonende Behandlung der entstehenden Halbleiterchipkanten.

Ein besonders schonender Materialabtrag läßt sich nach einer vorteilhaften Weiterbildung des erfindungsgemäßen Verfahrens dadurch erreichen, daß die Gräben durch kumulativen Materialabtrag erzeugt werden. In diesem Zusammenhang ist es besonders vorteilhaft, wenn der kumulative Materialabtrag im Rahmen von Verfahrensschritten vorgenommen wird, die ohnehin zur strukturellen Bearbeitung der funktionalen Waferfrontseite durchgeführt werden. So können beispielsweise mehrere erforderliche Trenchätzungen dazu dienen, die Gräben schrittweise zu vertiefen. Dies hat den erheblichen Vorteil, daß kein zusätzlicher Aufwand zur Erzeugung der Gräben anfällt.

Ein Ausführungsbeispiel der Erfindung wird nachfolgend anhand einer Zeichnung weiter erläutert; es zeigen:

Fig. 1 schematisch einen möglichen Ablauf des erfindungsgemäßen Verfahrens und

Fig. 2 einen Ausschnitt eines nach dem erfindungsgemäßen Verfahren prozessierten Wafers.

Gemäß den Fig. 1 und 2 wird in an sich bekannter Weise zunächst die Frontseite 1 eines Wafers 2 bearbeitet. Dabei werden auch Gräben 4 entlang gewünschter Trennlinien 5, 6 eingebracht. Die Trennlinien 5, 6 definieren ein Raster, das der Anordnung der zu erzeugenden (zukünftigen) Halbleiterchips 8 entspricht. Der Verlauf der Trennlinien gibt den

sogenannten Ritzrahmen 10 wieder, der prinzipiell den bisherigen sogenannten Sägestraßen entspricht. Der Ritzrahmen ist dabei durch den Abstand von zukünftigen Kanten der Halbleiterchips nach deren Vereinzelung bestimmt, d. h. beispielsweise durch den Zwischenraum zwischen Anschlußflächen (Pads) benachbarter Chips. Gegebenenfalls können die Anschlußflächen von Schutzringen umgeben sein, die nicht verletzt werden dürfen; die Ritzrahmenbreite wäre dann durch die Schutzringe begrenzt.

Die einzelnen zukünftigen Halbleiterchips 8 sind somit zunächst in einem gemeinsamen Wafer-Verband 12 enthalten. Die Tiefe 14 der Gräben 4 ist geringer bemessen als die ursprüngliche Dicke 16 des Wafers.

Die Gräben 4 können wie angedeutet durch den Schneidstrahl 18 eines Lasers 19 erzeugt werden, der in seiner Leistung so eingestellt ist, daß der Schneidstrahl 18 den Wafer 12 nicht vollständig durchtrennt, sondern Gräben 4 mit der gewünschten Tiefe – d. h. einem gewünschten Abstand 14 zwischen Gräbenböden 4b und Frontseite 1 – erzeugt.

Die Gräben 4 können auch durch Ätzungen 20, 21 erzeugt werden. Besonders vorteilhaft können die Gräben 4 im Rahmen mehrerer Ätzungen (z. B. Naßätzen) 20, 21 erzeugt werden, die nacheinanderfolgend durchgeführt werden, um die Waferfrontseite 1 in gewünschter Weise zu strukturieren und die beispielsweise als sogenannte Trenchätzungen dienen. Mit den aufeinanderfolgenden Ätzungen 20, 21 wird die Grabentiefe 14 in z. B. zwei Teilätzungen mit einer ersten Tiefe 24 und einer zweiten Tiefe 25 sukzessive erzeugt.

Anschließend wird der Wafer 2 mit seiner strukturierten Frontseite 1 auf eine Trägerfolie 30 geklebt. Von der Rückseite 32 des Wafers 2 her wird die ursprüngliche Dicke 16 des Wafers 2 vermindert. Dies erfolgt beispielsweise unter Verwendung von diamantbesetzten Flachscheibenschleifsteinen 40, wie im unteren Teil der Fig. 2 angedeutet. Bevorzugt wird das Längsseitenplanschleifen nach DIN 8598T.11. Dabei wird der mit seiner Frontseite fertigprozessierte Wafer rückwärtig mit einem rotierenden Schleifring bearbeitet, der mit definierter axialer Vorschubgeschwindigkeit in die Rückseite des Wafers eindringt. Dabei wird der Wafer teilingförmig überdeckt. Um einen vollständigen gleichmäßigen Abtrag der Waferrückseite zu gewährleisten, wird der Wafer radial relativ zur Schleifscheibe bewegt. Dabei kann sich je nach Verfahrensweise ein stufenweiser Materialabtrag ergeben, an den sich ein Feinschliff anschließt. Dabei werden z. B. von einem Wafer von ursprünglich 525 µm Dicke 400 µm abgetragen. Selbstverständlich können mit dem erfindungsgemäßen Verfahren auch wesentlich dünnere Wafer behandelt werden. Schließlich erreicht die Schleifscheibe 40 mit ihrer Oberseite 41 infolge des rückwärtigen Materialabtrags die Böden 4b der Gräben 4, wodurch die individuellen Halbleiterchips 8 von ihren jeweiligen Nachbarn vollständig getrennt (vereinzelte) sind und nur noch an der gemeinsamen Trägerfolie 30 haften. Somit fällt die neu erzeugte Rückseite 32' in die Ebene der Gräbenböden 4b, so daß aus den Gräben 4 Trennfugen werden. Bedarfsweise kann anschließend die Waferdicke 14' noch weiter vermindert (gedünnt) werden.

Mit dem erfindungsgemäßen Verfahren wird insbesondere bei Verwendung von Ätzverfahren oder Laserschneidverfahren zur Herstellung der Gräben der bisher notwendige Sägeprozeß ersetzt. Dies bedeutet nicht nur eine erhebliche verfahrenstechnische Vereinfachung, sondern insbesondere auch eine wesentlich schonendere Behandlung der entstehenden Halbleiterchipkanten. Die Kanten sind damit frei von mechanischen Defekten. Das erfindungsgemäße Verfahren ermöglicht außerdem, die sogenannten Ritzrahmen zu verengen, was die Anzahl möglicher Halbleiterchips pro Wafer (Ausbeute) erheblich erhöht.

Patentanspruch

1. Verfahren zur Vereinzelung von Halbleiter-Bauelementen (8) aus ihrem ursprünglichen Wafer-Verband (12), bei dem:

a) auf der Waferfrontseite (1) entlang gewünschter Trennlinien (5, 6) zwischen den zukünftigen individuellen Halbleiter-Bauelementen (8) Gräben (4) erzeugt werden, deren Tiefe (14) geringer als die Dicke (16) des Wafers (2) ist, und

b) in einem späteren Verfahrensschritt die Dicke (14') des Wafers (2) seiner der Rückseite (32) her zumindest soweit vermindert wird, daß die dabei entstehende Waferrückseite (32') die Gräbenböden (4b) erreicht.

2. Verfahren nach Anspruch 1, wobei die Gräben (4) durch Ätzen oder Laserschneiden erzeugt werden.

3. Verfahren nach Anspruch 1 oder 2, wobei die Gräben (4) durch kumulativen Materialabtrag (24, 25) erzeugt werden.

4. Verfahren nach Anspruch 3, wobei der kumulative Materialabtrag (24, 25) im Rahmen von Verfahrensschritten (20, 21) vorgenommen wird, die zur strukturellen Bearbeitung der funktionalen Waferfrontseite (1) durchgeführt werden.

Hierzu 1 Seite(n) Zeichnungen

FIG

